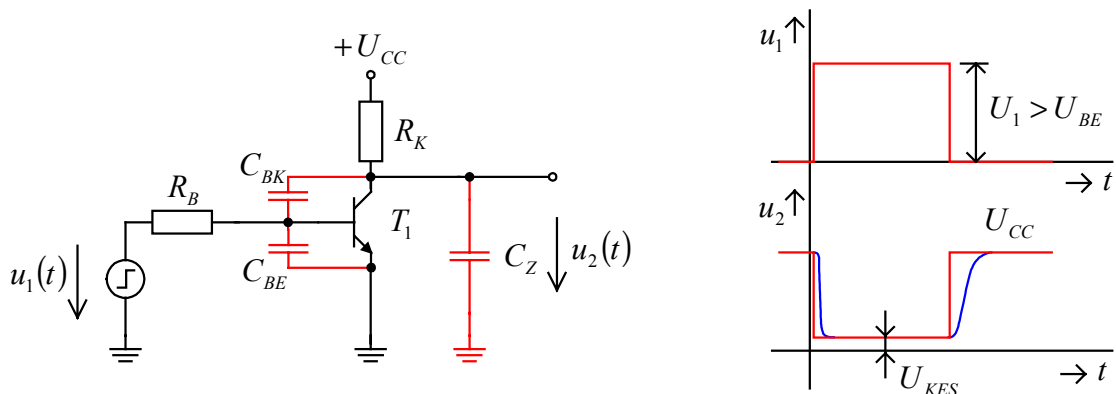


13 Tranzistorové spínače a logické členy

Cieľ kapitoly: Vysvetliť základné vlastnosti elektronických spínačov s bipolárnymi tranzistormi. Logické invertory s BJT a s tranzistormi MOS – pochopenie ich východ a nevýchod pre realizáciu číslicových IO.

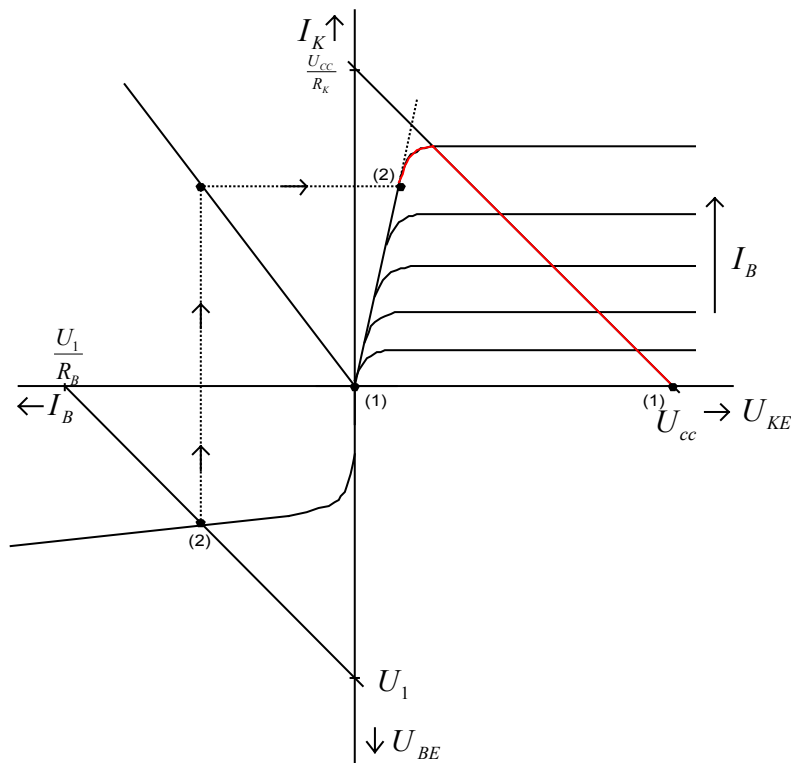
13.1 Spínač s bipolárnym tranzistorom všeobecne

Prvé elektronické spínače používali bipolárne tranzistory. Základné zapojenie takého spínača, ktorý predstavuje jednoduchý invertor vstupného signálu u_1 je na obr.13.1. Kapacity C_{BK} , C_{BE} sú pre zdôraznenie nakreslené ako externé súčiastky. V skutočnosti je C_{BK} nelineárna bariérová kapacita kolektorového PN priedochodu tranzistora T_1 a kapacita C_{BE} je difúzna kapacita emitorového priedochodu. Kapacita C_Z na výstupe inventora (spínača) predstavuje parazitnú kapacitu, ktorá môže byť rôzneho pôvodu. Môže to byť napríklad kapacita pripojovacieho kábla pripojeného na výstup spínača alebo môže byť, čo je najčastejší prípad, vstupná kapacita iného invertora či elektronického obvodu.



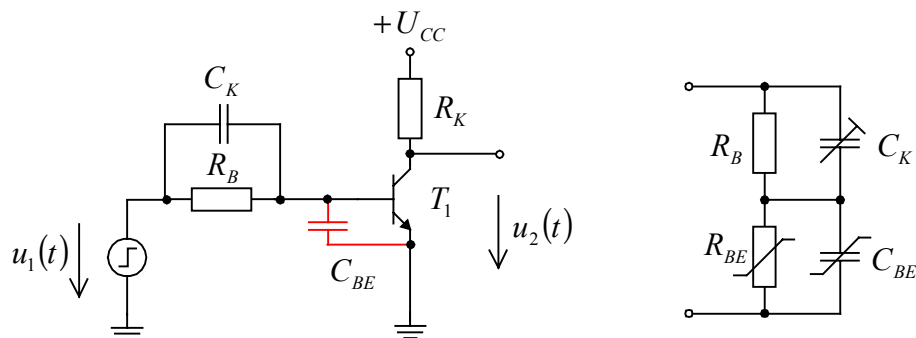
Obr. 13.1 Spínač s bipolárnym tranzistorom v zapojení SE so zvýraznenými parazitnými kapacitami a približný tvar odozvy výstupného napätia na spínači

Riešenie časovej odozvy $u_2(t)$ obvodu z obrázku 13.1 v analytickom tvare nie je celkom jednoduchá úloha. Vyžaduje si použitie nelineárneho E-M modelu doplneného o kapacity C_{BK} , C_{BE} a C_Z . Je to riešenie nelineárnej diferenciálnej rovnice. Toto riešenie si možno rôznym spôsobom zjednodušiť. Dnes dávame prednosť simulačnému výpočtu pomocou počítača. Takýmto spôsobom môžeme v konkrétnom prípade rýchlo preskúmať priebeh $u_2(t)$ pre rôzne parametre obvodu a BJT. Metódou zaťažovacej priamky, vysvetlenej v 3. kapitole, môžeme približne graficky určiť tvar statickej prevodovej charakteristiky invertora ak máme k dispozícii zmeraný súbor charakteristík BJT podľa obr.13.2. Statická prevodová charakteristika invertora (spínača) je jeho základnou charakteristikou, z ktorej môžeme určiť rôzne parametre invertora ako si to ukážeme v ďalšom.



Obr. 13.2 K vysvetleniu grafického určenia statickej prevodovej charakteristiky invertora s BJT

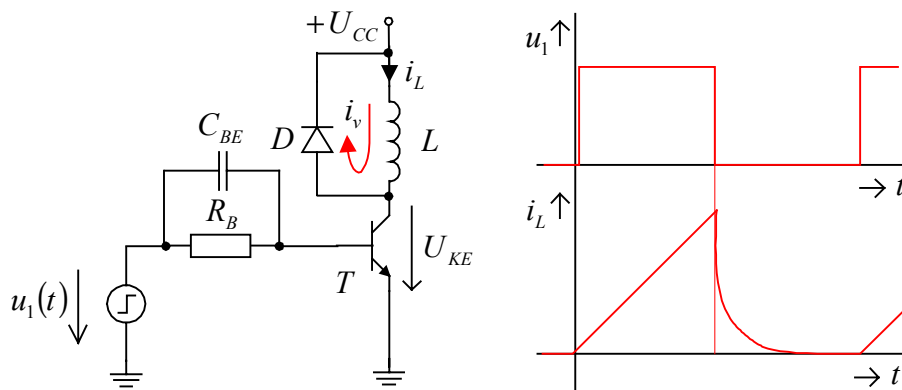
Vplyv zaťažovacej kapacity a kapacít PN priechodov BJT má odozvu invertora $u_2(t)$ budeného ideálnym vstupným signálom $u_1(t)$ podľa obr.13.1. Experimentálne sa dá ľahko ukázať, že integračný vplyv kapacity C_{BE} možno potlačiť zaradením pomocného korekčného kondenzátora C_K paralelne k rezistoru R_B , ktorý eliminuje vplyv kapacity priechodu B-E tranzistora pri jeho zopnutí aj vypnutí. Princíp kompenzácie sa zakladá na použití tzv. frekvenčne kompenzovaného odporového deliča. Uvedený delič je frekvenčne nezávislý vtedy, ak sú časové konštanty hornej a dolnej časti deliča rovnaké. Tento poznatok platí presne iba pre delič s lineárnymi prvkami. Dá sa však účinne použiť aj pre prípad nelineárneho deliča. Optimálne nastavenie C_K sa robí obvykle pomocou osciloskopu.



Obr. 13.3 Princíp a zapojenie kompenzácie vplyvu vstupnej kapacity tranzistora

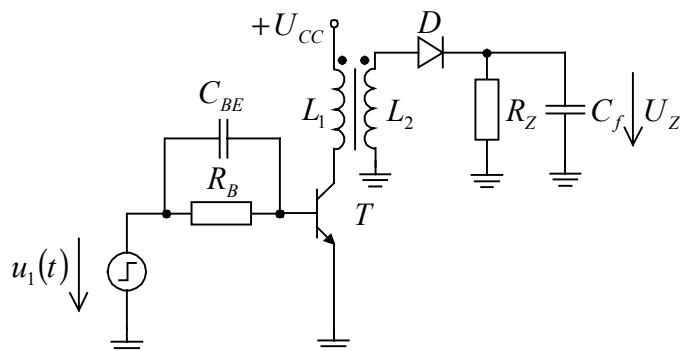
Spínanie induktívnej záťaže pomocou tranzistora

Spínanie induktívnej záťaže pomocou tranzistora je základom celého radu aplikácií v praxi elektronických obvodov (vychyľovanie elektronického lúča v obrazovkách pre počítače a televízne prijímače, rôzne spínačové zdroje pracujúce na princípe akumulácie energie v cievkach atď.). Na obr.13.4 je použitý BJT na pripájanie cievky s indukčnosťou L k zdroju napájacieho napätia. Po zopnutí BJT tečie cievkou lineárne rastúci prúd a energia magnetického poľa cievky rastie s druhou mocninou tohto prúdu. Po skončení budiaceho napätia u_1 však prúd cievky nemôže klesnúť na nulu, ale tečie rovnakým smerom cez vybíjajúcu diódu D až dovtedy, kým sa celá energia magnetického poľa cievky nepremení na teplo v PN priechode. Vybíjací obvod s diódou môže byť doplnený ešte o rezistor zapojený v sérii s diódou.



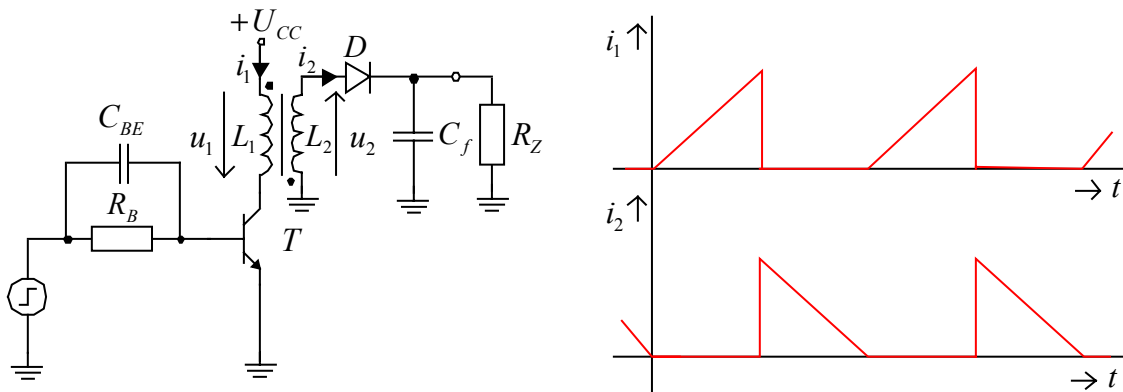
Obr. 13.4. Spínač induktívnej záťaže a ochrana tranzistora pred pierazom

Energiu akumulovanú v cievke počas zopnutia môžeme vhodne transformovať do sekundárnej cievky L_2 doplnenej o jednocestný usmerňovač s kapacitným filtrom. Dostávame tak jedno zo zapojení meničového zdroja podľa obr.13.5 (jednočinný priepustný menič napätia U_{CC} na napätie U_Z). Polaritu a veľkosť napätia U_Z môžeme meniť orientáciou diódy a pomerom indukčnosti L_1, L_2 . Ochranná dióda v tomto zapojení nie je potrebná. Funkciu premeny magnetickej energie na teplo zabezpečuje rezistor R_Z . Zapojenie umožňuje transformovať napätie U_{CC} smerom dolu aj hore.



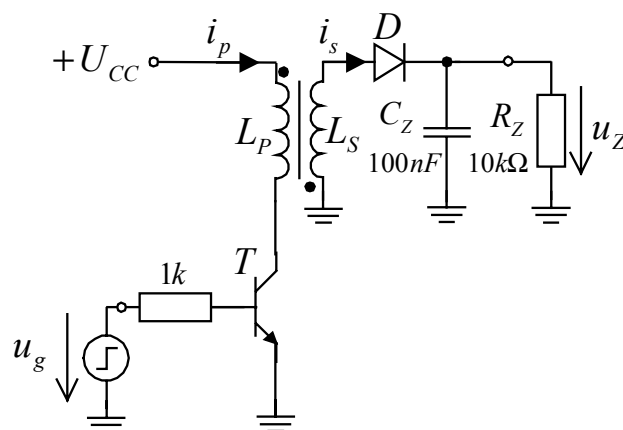
Obr. 13.5. Priepustný jednočinný menič napätia

Varietou zapojenia je jednočinný blokovací menič napätia podľa obr.13.6. Jeho činnosť vychádza priamo z obvodu podľa obr.13.4. Počas zapnutia tranzistora T sa energia akumuluje v magnetickom poli L_1 . Dióda D je vtedy nepriepustne polarizovaná a cez záťaž R_Z sa vybíja náboj kondenzátora C_f dodaný cez diódu D v predchádzajúcom cykle. Po vypnutí tranzistora sa zmení polarita indukovaného napätia u_2 a kondenzátor C_f sa dobíja cez otvorenú diódu D . Existuje celý rad ďalších zapojení meničových zdrojov napätia s lepšími parametrami. Ich analýza a návrh si však vyžaduje väčší časový priestor.



Obr. 13.6. Jednočinný blokovací menič napätia s BJT

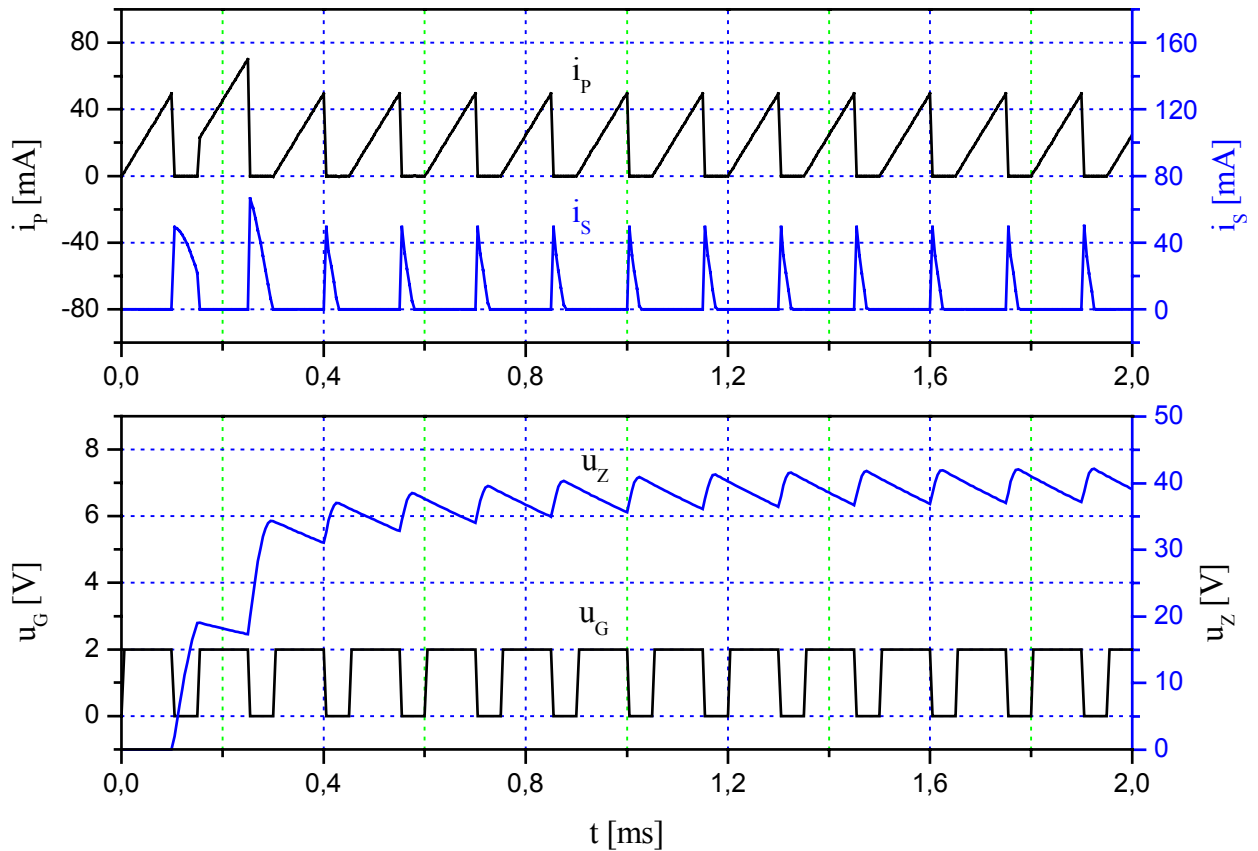
Príklad na počítačovú simuláciu jednočinného blokovacieho meniča s galvanickým oddelením (v angl. literatúre známy tiež pod názvom: flyback boost converter)



Obr. 13.6a Zapojenie jednočinného blokovacieho meniča s bip. tranzistorom

$L_p = 20\text{mH}$, $L_s = 20\text{mH}$, $k=1$ $T - 2\text{N}2222\text{A}$, $T_i = 100\mu\text{s}$, $T = 150\mu\text{s}$ $D: I_s = 1\text{nA}$, $N=1$, $M=2.2$

Príklad simulácie prechodného javu v jednočinnom meniči podľa obr. 13. 6a



Obr. 13.6b Priebiehy prúdu a napätia vo význačných bodoch jednočinného blokovacieho meniča

K fyzikálnej interpretácii výsledkov simulácie.

1. Akumulácia energie v magnetickom poli transformátora cez primárne vinutie.

$$E_p = U_{CC} \int_0^T i_p(\tau) d\tau = U_{CC} \int_0^{T_i} \frac{U_{CC}}{L_p} \tau d\tau = \frac{U_{CC}^2 T_i^2}{L_p 2}$$

2. Energia spotrebovaná v záťaži R_Z (premena na teplo) počas periódy T

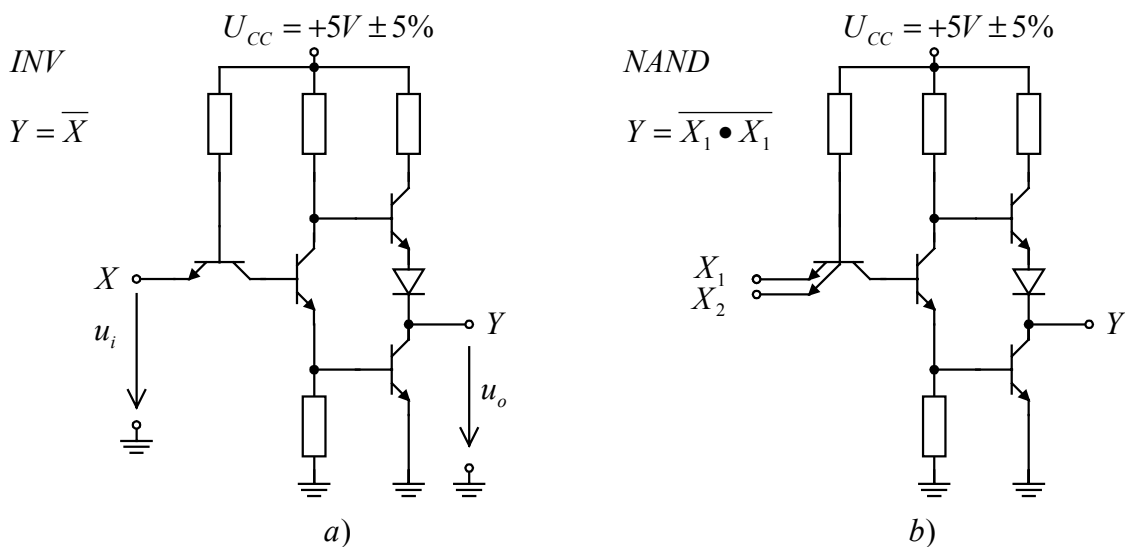
$$E_s = U_{Zstr} I_{Zstr} T = \frac{U_{Zstr}^2}{R_Z} T, \quad kde \quad U_{Zstr} = \frac{u_{Zmax} + u_{Zmin}}{2}$$

3. Výstupné napätie meniča U_{zstr} vyplýva z podmienky $E_p = E_s$

$$\underline{U_{Zstr} = U_{CC} T_i \sqrt{\frac{R_Z}{2L_p T}}} \quad \text{pre } T_i = \frac{1}{2} T \text{ platí } \underline{U_{Zstr} = \frac{U_{CC}}{2} \sqrt{\frac{R_Z T_i}{L_p}}}$$

13.2 Spínač s BJT ako logický invertor.

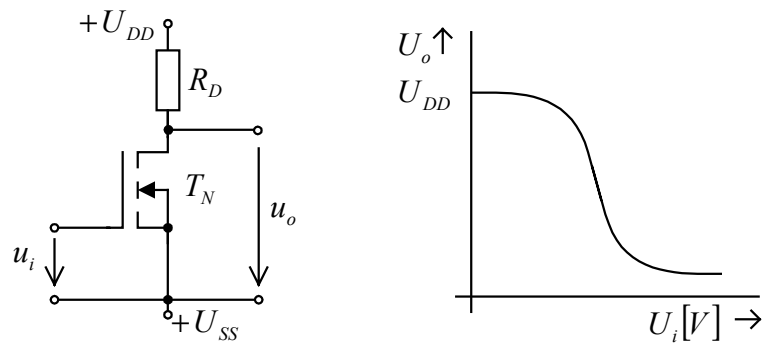
Vráťme sa k tzv. logickým invertorom u ktorých nie sú rozhodujúce energetické a výkonové pomery, ale ktoré pracujú s normalizovanou amplitúdou vstupných a výstupných napätí. Takéto invertory tvoria základ celej číslicovej elektroniky a dnes sú realizované na jednom čípe milióny takýchto invertorov. V začiatkoch rozvoja integrovaných číslicových obvodov sa istý čas používali invertory s tranzistormi podľa obr.13.3 (ako tzv. obvody RTL – Resistor Transistor Logic). Ich realizácia na čípe však mala celý rad nedostatkov (problémy s realizáciou R,C - malá hustota integrácie, nízka šumová odolnosť atď). Neskôr nastúpili obvody diódovej logiky – DTL (Dioda Transistor Logic) a z nich vývojom vyplynuli číslicové obvody známe pod skratkou TTL (Transistor Transistor Logic), ktoré vytvárali štandard v oblasti logických obvodov s BJT. Boli dostatočne rýchle aj spoľahlivé. Ich nevýhodou bola obvodová zložitosť hradieľ – invertorov a z toho vyplývajúca nízka hustota prvkov na jednotku plochy. Pre predstavu uvedieme na ďalšom obrázku zapojenie invertora v prevedení TTL. TTL obvody si vyžadovali pre svoju činnosť stabilizované napätie 5 V.



Obr. 13.7 a) Invertor realizovaný technikou TTL b) NAND - pri použití viacemitorových tranzistorov sa dali realizovať aj zložitejšie logické funkcie.

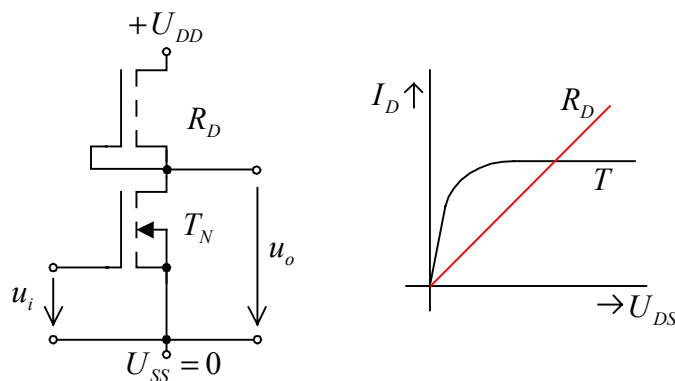
13.3. Logické invertory MOS

Po zvládnutí technologických ťažkostí, ktoré súviseli s realizáciou N – kanálových MOS tranzistorov s indukovaným kanálom sa logické invertory MOS ukázali ako perspektívnejšie. Ich hlavnou výhodou je to, že na svoje ovládanie nepotrebujú výkon signálu na vstupe. Klasické riešenie MOS invertora s N – kanálom je na obr. 13.8.



Obr. 13.8 MOS invertor s N-kanálom

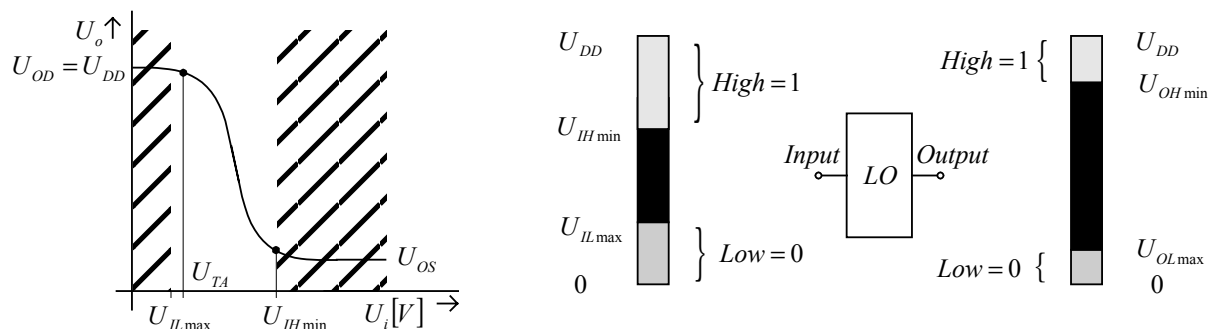
V technológii výroby moderných číslicových IO sa však nepoužíva. Veľkým realizačným problémom je realizácia rezistora R_D na čípe s relatívne veľkou hodnotou odporu. Štandardným riešením je v súčasnosti invertor so zaťažovacím tranzistorom T_L (Load Transistor), ktorý nahrádza rezistor R_D . Tzv. ochudobňovací typ invertora (názov je odvodený od ochudobňovacieho typu zaťažovacieho tranzistora T_L).



Obr. 13.9 Ochudobňovací invertor MOS s kanálom N

Je možné vytvoriť ešte nenasýtený MOS invertor (T_L je v nenasýtenom, resp. triódovom režime) a nasýtený MOS invertor (T_L je nasýtenom stave).

Typový tvar statickej prevodovej charakteristiky N-MOS invertora je uvedený na obr.13.10

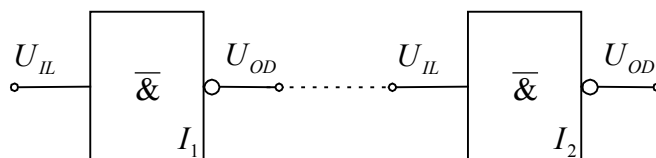


Obr.13.10 Typová prevodová charakteristika N-MOS invertora

Na prevodovej charakteristike môžeme definovať charakteristické hodnoty a oblasti. Charakteristickými hodnotami sú napätia U_{OD} a U_{OS} . U_{OD} je výstupné napätie invertora ak je na jeho vstupe napätie $u_i < U_{IL}$. Druhé charakteristické napätie U_{OS} je zasa hodnota výstupného napätia pre $u_i > U_{IH}$. Ďalšou charakteristickou hodnotou, ktorá je daná výrobcom je prahové napätie spínacieho (aktívneho) tranzistora U_{TA} . Aby invertor správne fungoval musí podľa obr.13.10 platiť nerovnosť:

$$U_{IL} < U_{TA} < U_{IH} \quad (13.1)$$

V logických obvodoch a systémoch pracuje mnoho takýchto invertorov spoločne a sú medzi sebou rôzne poprepájané podľa požadovanej logickej funkcie. Je preto dôležité splniť ešte tzv.podmienku kaskádovania, t.j. zabezpečiť vhodné vstupné a výstupné napätia pri zapojení dvoch a viacerých invertorov do kaskády podľa obr.13.11.



Obr.13.11. K podmienke zapojenia invertorov do kaskády

Napätia, ktoré odpovedajú logickej nule (L resp. označenie log0 či 0) alebo logickej jednotke (H, log1, 1) sú dané pomocou tolerančného poľa, ktoré zohľadňuje vplyv rozptylu parametrov invertora napr. teploty atď. Je to zobrazené šrafovanými oblasťami na prevodovej charakteristike – obr.13.10. Aby bola garantovaná ešte istá rezerva na indukované rušiacie napätia impulzného charakteru, definujeme pre invertor (a logické obvody vo všeobecnosti) parameter U_{OD} – napätie statickej šumovej odolnosti resp. imunity podľa vzťahu:

$$U_{OD} = |U_{IL} - U_{OS}| \quad (13.2)$$

Štandard pre tolerančné polia sa zaviedol v súvislosti s obvodmi TTL, z ktorých sa veľa rokov konštruovali logické systémy. Dokonca ešte aj v súčasnosti vznikajú požiadavky na kompatibilitu logických úrovní vzhľadom k TTL.

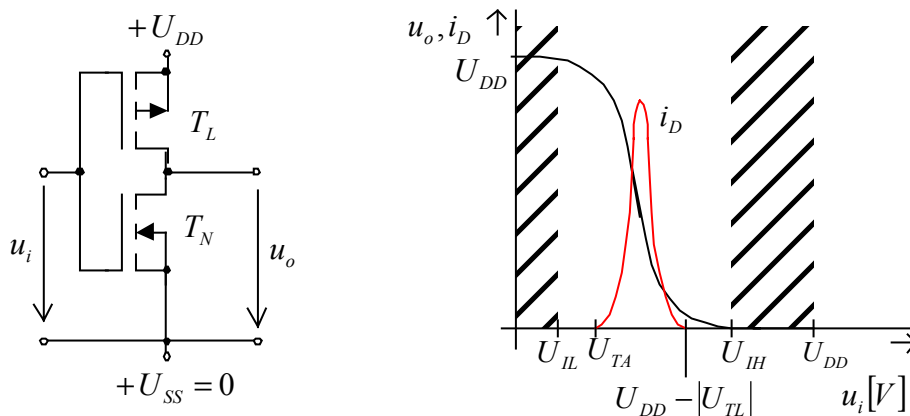
Logické úrovne pre TTL(Transistor Transistor Logic) : (definované normou)

Úroveň L		Úroveň H	
vstup :	$0 \div 0,8V, U_{iL} = 0,8V$	vstup :	$> 2V = U_{IH}$
výstup:	$0 \div 0,4V, U_{OL} = 0,4V$	výstup:	$> 2,4V = U_{OH}$

Ako je vidieť z údajov o úrovniach pre TTL obvody, výrobcovia garantujú pre TTL obvody šumovú imunitu 0,4 V, čo nie je veľa. Dnešné moderné MOS a hlavne CMOS logické obvody zaručujú väčšiu šumovú imunitu.

13.4. CMOS invertor (Complementary MOS)

V súčasnosti je hlavným technologickým trendom pri realizácii číslicových IO technika CMOS. Táto technika má napriek väčšej technologickej náročnosti a nižšej mernej hustote invertorov na jednotku plochy čipu niekoľko základných výhod, ktoré spôsobili jej veľké rozšírenie. Výhody vyplynú z analýzy prevodovej charakteristiky jednoduchého invertora CMOS podľa obr.13.12



Obr. 13.12 Základné zapojenie CMOS invertora a jeho hlavné charakteristiky

CMOS invertor pozostáva z dvoch MOS tranzistorov – aktívneho a zaťažovacieho. Aktívny tranzistor T_N je s kanálom typu N (indukovaný kanál) a tranzistor zaťažovací je s kanálom typu P (tiež indukovaný kanál). Riadiace elektródy tranzistorov T_N a T_L sú spojené a tvoria vstup invertora. Výstup invertora tvoria spojené kolektory (Drain). Hlavným rozdielom CMOS invertora oproti všetkým, doteraz spomínaným, je to, že pri obidvoch hodnotách napätia na vstupe (L aj H) netečie cez invertor zo zdroja prúd. Pri napätí $u_i < U_{TA}$ je nevodivý tranzistor T_N a pri napätí $u_i > U_{DD} - |U_{TL}|$ je zas nevodivý tranzistor T_L . Iba pre relatívne úzky rozsah napätia medzi hodnotami U_{IL} , U_{IH} tečie invertorom prúd ako je to naznačené na obr.13.12. Dôsledkom toho je, že integrované číslicové obvody CMOS neodoberajú z napájacieho zdroja nijaký príkon, ak sa nemení ich logický stav – informácia. Príkon CMOS invertora je

nenulový iba počas krátkeho intervalu, keď výstupné napätie prechádza zo stavu L do H alebo naopak. Pri vyššej frekvencii zmien logického stavu CMOS invertora musíme brať do úvahy aj nabíjanie a vybíjanie parazitnej kapacity C invertora pripojenej na jeho výstup. Tento príkon je na rozdiel od predchádzajúceho statického prechodového príkonu nezávislý od rýchlosti zmeny výstupného napätia. Ak aproximujeme impulz prúdu podľa obr.13.12 trojuholníkovým tvarom môžeme vypočítať príkon prechodu CMOS z úrovne L na H a naopak (dva prechody za periódu vstupného impulzného signálu) podľa vzťahu:

$$P_P = U_{DD} \frac{2}{T} \int_0^{\Delta t} i_D(\tau) d\tau = 2U_{DD} f \frac{I_{D_{\max}} \Delta t}{2} = U_{DD} f I_{D_{\max}} \Delta t \quad (13.3)$$

$I_{D_{\max}}$ - je maximálna hodnota prechodového prúdu podľa obr.13.12

T - je časový interval, počas ktorého prúd i_D preteká.

f - je frekvencia vstupných impulzov

Veľkosť prechodového príkonu P_P môžeme ovplyvňovať dĺžkou trvania čela a tyla informačných radiacích impulzov. Tento príkon je v praxi obvykle nepodstatný. Príkon zo zdroja, ktorý je spôsobený nabíjaním parazitnej kapacity môžeme vypočítať z nasledujúceho vzťahu:

$$P_P = U_{DD} \frac{1}{T} \int_0^{\Delta t} i_C(\tau) d\tau = \frac{U_{DD}}{T} \int_0^{\Delta t} C \frac{du_o}{d\tau} d\tau = \frac{U_{DD}}{T} C \int_0^{\Delta t} du_o = U_{DD}^2 f C \quad (13.4)$$

S rastúcou frekvenciou narastá aj príkon pre nabíjanie zaťažovacieho parazitného kondenzátora C . Z poslednej rovnice však vidíme, že tento príkon rastie s druhou mocninou napájacieho napätia zdroja. Preto je u dnešných CMOS IO snaha používať ich pri čo najmenšom napätí. Na záver môžeme zhrnúť základné výhody a nevýhody CMOS obvodov.

Hlavné výhody CMOS :

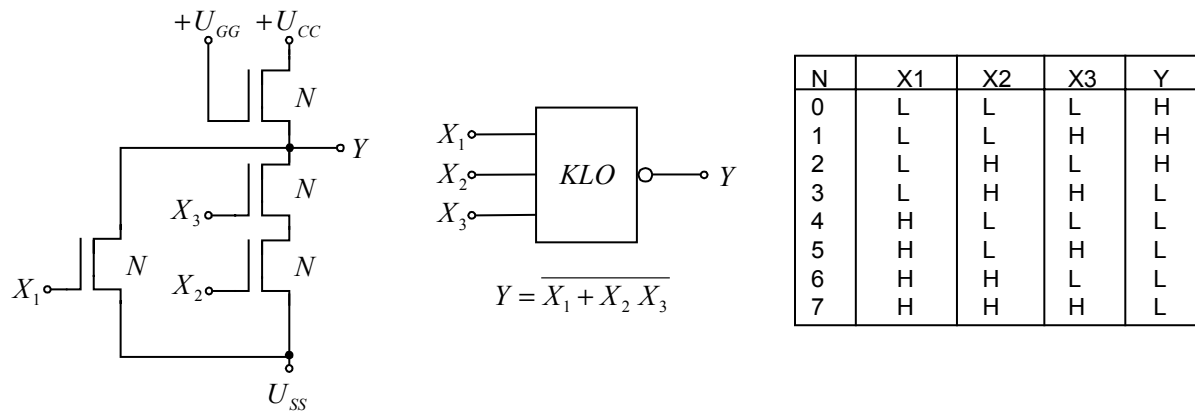
1. nulový príkon v stat. stave invertora
2. široký rozsah napájacích napätí
3. vysoká šumová odolnosť
4. vysoký vstupný odpor (veľký logický zisk, vetvitelnosť)

Nevýhody :

1. väčšia technologická zložitosť (P,N-kanál na jednom čipe)
2. väčšia obvodová zložitosť CMOS (a tým aj nižšia hustota integrácie) pri zložitejších logických funkciách

13.5 Realizácia zložitejších invertorov MOS, CMOS

Realizácia zložitejších logických funkcií (zovšeobecnený invertor)



Obr. 13.13 Zovšeobecnený (viacvstupový) MOS invertor a jeho pravdivostná tabuľka